

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
11. April 2002 (11.04.2002)

PCT

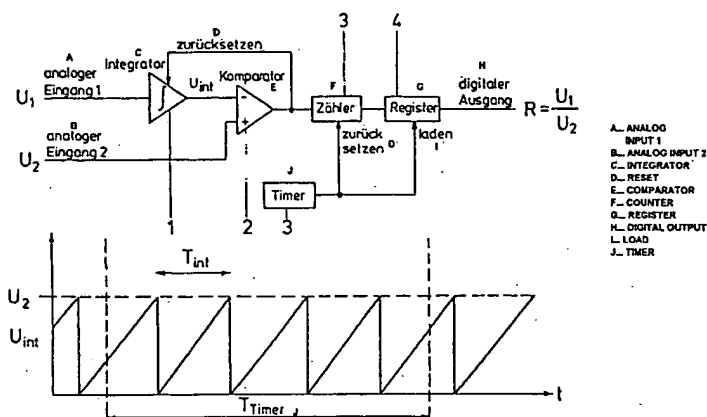
(10) Internationale Veröffentlichungsnummer  
WO 02/29701 A1

- (51) Internationale Patentklassifikation<sup>7</sup>: G06J 1/00 (72) Erfinder; und  
(21) Internationales Aktenzeichen: PCT/DE00/03502 (75) Erfinder/Anmelder (nur für US): TYROLLER, Tobias  
[DE/DE]; Roter-Brach-Weg 104 A, 93049 Regensburg  
(DE).  
(22) Internationales Anmeldedatum: 5. Oktober 2000 (05.10.2000) (74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-  
SELLSCHAFT; Postfach 22 16 34, 80506 München  
(DE).  
(25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (national): JP, KR, US.  
(26) Veröffentlichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE).  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von (84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
Wittelsbacherplatz 2, 80333 München (DE). NL, PT, SE).

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT CONFIGURATION FOR FORMING A RATIO AND FOR PRODUCING AN OUTPUT SIGNAL CORRE-  
SPONDING TO THE RATIO

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR VERHÄLTNISBILDUNG UND ZUR ERZEUGUNG EINES DEM  
VERHÄLTNIS ENTSPRECHENDEN AUSGANGSSIGNALS



(57) Abstract: The invention relates to a circuit for forming a ratio for two analogue input signals and producing a digital output signal corresponding to the ratio for the two input signals. Said circuit comprises an integrator which can be controlled by a first control signal, to which the first of the two input signals is applied and which integrates the first input signal subject to control by the first control signal, a comparator which is connected downstream of the integrator, to which the second of the two input signals is also fed and which compares the second input signal with the integrated first input signal, the control signal for the integrator being picked up at the output of the comparator; a counter which is connected downstream of the comparator, which can be reset with a counter reset signal and which delivers a binary word corresponding to its counter status, a register which is connected downstream of the counter and which takes over the binary word upon the production of a register load signal, this register providing the digital output signal; and a timer which is connected to the counter and the register and which periodically produces the counter reset signal and the register load signal.

(57) Zusammenfassung: Schaltungsanordnung zur Verhältnisbildung zweier analoger Eingangssignale und zur Erzeugung eines dem Verhältnis beider Eingangssignale entsprechenden digitalen Ausgangssignals mit einem durch ein erstes Steuersignal steuerbaren Integrator, an den das erste der beiden Eingangssignale angelegt ist und der das erste Eingangssignal

[Fortsetzung auf der nächsten Seite]

WO 02/29701 A1

**Veröffentlicht:**

— mit internationalem Recherchenbericht

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

unter Steuerung des ersten Steuersignals integriert, einem dem Integrator nachgeschalteten Komparator, dem zudem das zweite der beiden Eingangssignale zugeführt wird und der das zweite Eingangssignal mit dem integrierten ersten Eingangssignal vergleicht, wobei am Ausgang des Komparators das Steuersignal für den Integrator abgenommen wird, einem dem Komparator nachgeschalteten Zähler, der über ein Zählerrücksetzsignal rücksetzbar ist und der ein seinem Zählerstand entsprechendes Binärwort abgibt, einem dem Zähler nachgeschalteten Register, das bei Auftreten eines Registerladesignals das Binärwort übernimmt, wobei das Register das digitale Ausgangssignal bereitstellt und einem mit Zähler und Register verbundenen Zeitgeber, der periodisch das Zählerrücksetzsignal und das Registerladesignal erzeugt.

## Beschreibung

Schaltungsanordnung zur Verhältnisbildung und zur Erzeugung eines dem Verhältnis entsprechenden Ausgangssignals

5

Die Erfindung betrifft eine Schaltungsanordnung zur Verhältnisbildung zweier analoger Eingangssignale und zur Erzeugung eines dem Verhältnis beider Eingangssignale entsprechenden digitalen Ausgangssignals.

10

Derartige Schaltungsanordnungen werden beispielsweise mittels speziellen Analog-Digital-Umsetzern realisiert und sind beispielsweise aus U. Tietze, Ch. Schenk, Halbleiterschaltungstechnik, 9. Auflage, 1990, Seiten 784 bis 790 bekannt. Diese auch als Analog-Digital-Umsetzer nach dem Single-Sloap-Verfahren bzw. nach dem Dual-Sloap-Verfahren bezeichneten Anordnungen weisen in der Regel einen Zähler, einen Oszillator als Zeitgeber, mindestens einen Komparator sowie einen Integrator oder statt dessen einen Sägezahngenerator auf. In beiden Fällen wird jedoch ein Eingangssignal in Bezug auf eine feste Referenzspannung gesetzt. Insbesondere bei Anwendungen in der Automobiltechnik wie beispielsweise der Aufprallerkennung ist es jedoch notwendig, zwei sich ändernde Eingangssignale ins Verhältnis zu setzen. Daher wurde bisher in der Regel entweder die Verhältnisbildung auf analoger Seite wie beispielsweise durch Logarithmierung, Subtraktion und anschließender Delogarithmierung oder durch einigen Rechenaufwand erfordernde digitale Schaltungen realisiert. Als Analog-Digital-Umsetzer wurden dabei solche verwendet, die lediglich ein variables Eingangssignal aufweisen. In beiden Fällen ist jedoch der Realisierungsaufwand verhältnismäßig hoch.

30

Aufgabe der Erfindung ist es daher, eine Schaltungsanordnung der eingangs genannten Art anzugeben, bei der ein geringerer Aufwand notwendig ist.

35

Die Aufgabe wird gelöst durch eine Schaltungsanordnung gemäß Patentanspruch 1. Ausgestaltungen und Weiterbildungen des Erfindungsgedankens sind Gegenstand von Unteransprüchen.

5 Vorteil der Erfindung ist es, dass durch die Verwendung eines speziellen Analog-Digital-Umsetzerprinzips, das die Verhältnisbildung zweier variabler Eingangssignale zulässt, ein zusätzlicher Aufwand für die Verhältnisbildung nicht notwendig ist. Anstelle einer Verhältnisbildung entweder vor dem Ana-  
10 log-Digital-Umsetzer oder nach dem Analog-Digital-Umsetzer wie bisher wird nun die Verhältnisbildung vom Analog-Digital-Umsetzer selbst vorgenommen. Somit werden auf einfache Weise zwei analoge Eingangssignale ins Verhältnis zueinander gesetzt, wobei der digitale Ausgangswert proportional zum Ver-  
15 hältnis der beiden Eingangssignale ist.

Erreicht wird dies bei einer Schaltungsanordnung zur Verhältnisbildung zweier analoger Eingangssignale und zur Zeugung eines dem Verhältnis beider Eingangssignale entsprechenden  
20 digitalen Ausgangssignal durch einen durch ein erstes Steuersignal steuerbaren Integrator, an den das erste der beiden Eingangssignale angelegt ist und der das erste Eingangssignal unter Steuerung des ersten Steuersignals integriert, sowie einem den Integrator nachgeschalteten Komparator, dem zudem  
25 das zweite der beiden Eingangssignale zugeführt wird und der das zweite Eingangssignal mit dem integrierten ersten Eingangssignal vergleicht, wobei am Ausgang des Komparators das Steuersignal für den Integrator abgenommen wird. Weiterhin sind ein dem Komparator nachgeschalteter Zähler, der über ein  
30 Zählerrücksetzsignal rücksetzbar ist und der ein seinen Zählerstand entsprechendes Binärwort abgibt, sowie ein dem Zähler nachgeschaltetes Register, das bei Auftreten eines Registerladesignals das Binärwort übernimmt, vorgesehen, wobei das Register das digitale Ausgangssignal bereitstellt. Schließlich erzeugt ein mit Zähler und Register verbundener Zeitgeber periodisch das Zählerrücksetzsignal und das Registerlade-  
35 signal.

Bevorzugt ist dabei das Steuersignal für den Integrator ein Integratorrücksetzsignal, bei dessen Auftreten der Integrator auf einen Start wird (beispielsweise Null) rückgesetzt wird.

5

Alternativ dazu kann vorgesehen werden, dass das Steuersignal für den Integrator ein Integratorumkehrsignal ist, bei dessen Auftreten der Integrator bis zu einem Startwert zurückintegriert. Dabei ist es vorteilhaft, wenn als Komparator ein

10 Schmitt-Trigger mit zwei Schwellen vorgesehen ist, wobei die Schwellen von dem zweiten Eingangssignal abhängen und bei Erreichen der Schwellen die Integrationsrichtung des Integriertes umgeschaltet wird.

15 Die Erfindung wird nachfolgend anhand des in den Figuren der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Es zeigt:

20 Figur 1 eine bevorzugte Ausführungsform einer erfindungsgemäßen Schaltungsanordnung und

Figur 2 den Verlauf verschiedener Spannungen bei dem Ausführungsbeispiel nach Figur 1.

25 Bei der in Figur 1 gezeigten Ausführungsform wird ein Eingangssignal  $U_1$  einem Integrator 1 zugeführt, dessen Ausgang mit dem invertierenden Eingang eines Komparators 2 verbunden ist. An den nicht invertierenden Eingang des Komparators 2 ist ein Eingangssignal  $U_2$  angelegt. Der Ausgang des Kompara-

30 tors 2 steuert dabei den Integrator 1 derart, dass der Integrator 1 beim Erreichen des Wertes des Eingangssignals  $U_2$  durch das integrierte Eingangssignal  $U_1$ , im weiteren als Spannungintegral  $U_{int}$  (T) genannt, erreicht, wird der Integrator auf einen Startwert (beispielsweise Null) zurückge-

35 setzt. Der Integrator 1 beginnt daraufhin erneut mit der Integration, so dass sich insgesamt ein sägezahnförmiger Verlauf des Spannungintegrals  $U_{int}$  über der Zeit ergibt.

Dem Komparator 2 ist ein Zähler 3 nachgeschaltet, welcher durch die am Ausgang des Komparators 2 auftretenden Rechtecksignale getaktet wird. Der Ausgang des Zählers 3 ist auf ein Register 4 geführt, dass durch ein entsprechendes periodisches Signal eines Zeitgebers 5 den aktuellen Zählerstand übernimmt. Der Inhalt des Registers bildet dann das digitale Ausgangssignal B. Der Zeitgeber 5 setzt mit oder nach dem Laden des Zählerstandes des Zählers 3 in das Register 4 den Zähler 3 zurück. Das digitale Ausgangssignal R gibt schließlich als Binärwort das Verhältnis der beiden Eingangssignale  $U_1$  zu  $U_2$  wieder.

Figur 2 zeigt den Verlauf der Eingangsspannung  $U_2$  und des Spannungsintegrals  $U_{int}$  über der Zeit  $t$ . Für den Beobachtungszeitraum werden die beiden Eingangsspannungen  $U_1$  und  $U_2$  als annähernd konstant angenommen. Die Eingangsspannung  $U_1$  wird dabei das Spannungsintegral  $U_{int}$  ergebend aufintegriert, so dass dessen Spannungswert mit der Zeit stetig ansteigt bis der Wert der Eingangsspannung  $U_2$  erreicht wird. Zu diesem Zeitpunkt kippt der Komparator 2 und setzt so in kürzester Zeit den Integrator 1 und damit das Spannungsintegral  $U_{int}$  auf den Anfangswert (beispielsweise Null) zurück. Danach startet der Integrator 1 von neuem, so dass sich auch erneut ein Anstieg des Spannungsintegrals  $U_{int}$  ergibt. Somit ergibt sich ein fortlaufendes Sägezahnsignal, mit einem zeitlichen Abstand  $T_{int}$  zwischen zwei Rücksetzzeitpunkten. Darüber hinaus ergibt der Zeitgeber 5 eine Zeitspanne vor, die durch die Rücksetzzeitpunkte des Zählers 3 festgelegt werden und die einen zeitlichen Abstand  $T_{Timer}$  definieren. Da der zeitliche Abstand  $T_{Timer}$  deutlich größer ist als der zeitliche Abstand  $T_{int}$  ergibt sich somit, dass eine bestimmte Anzahl von durch die Rücksetzzeitpunkte des Integrators 1 charakterisierte Impulse innerhalb des zeitlichen Abstands  $T_{Timer}$  auftreten. Der Zähler 3 zählt die Anzahl der Rücksetzzeitpunkte  $N$  des Integrators 1 während der Zeitspanne  $T_{Timer}$  (= Wandlungszeit):

$$N = T_{\text{Timer}}/T_{\text{int}}$$

Unter der Annahme, dass die analogen Eingangssignal  $U_1$  und  $U_2$  während der Zeitspanne  $T_{\text{Timer}}$  konstant sind, dann ist die  
5 Zeitspanne  $T_{\text{int}}$  zwischen Integrationsstart und Integrationssende:

$$T_{\text{int}} = U_2/U_1$$

10 und somit

$$N = T_{\text{Timer}}/T_{\text{int}} = T_{\text{Timer}} (U_1/U_2).$$

Der digitale Ausgangswert  $R (= N)$  ist somit proportional zur  
15 Eingangsspannung  $U_1$  (sowie der Zeitspanne  $T_{\text{Timer}}$ ) und umgekehrt proportional zu der Eingangsspannung  $U_2$ .

Anstatt den Integrator 1 beim Erreichen der durch die Eingangsspannung  $U_2$  vorgegebenen Schwelle zurückzusetzen (Säge-  
20 zahnwandler) kann alternativ auch mit der negativen Eingangsspannung  $U_1$  zurückintegriert werden (Dreieckswandler). Dabei wird vorteilhafterweise als Komparator 1 ein Schmitt-Trigger vorgesehen, der dann ein Auf- und Abintegrieren zwischen den durch die Eingangsspannung  $U_2$  und der negativen Eingangsspan-  
25 nung  $U_2$  vorgegebenen Schwellen.

## Patentansprüche

1. Schaltungsanordnung zur Verhältnisbildung zweier analoger Eingangssignale und zur Erzeugung eines dem Verhältnis  
5 beider Eingangssignale entsprechenden digitalen Ausgangssignals mit

einem durch ein erstes Steuersignal steuerbaren Integrator, an den das erste der beiden Eingangssignale angelegt ist und der das erste Eingangssignal unter Steuerung des ersten  
10 Steuersignals integriert,

einem dem Integrator nachgeschalteten Komparator, dem zudem das zweite der beiden Eingangssignale zugeführt wird und der das zweite Eingangssignal mit dem integrierten ersten Eingangssignal vergleicht, wobei am Ausgang des Komparators  
15 das Steuersignal für den Integrator abgenommen wird,

einem dem Komparator nachgeschalteten Zähler, der über ein Zählerrücksetzsignal rücksetzbar ist und der ein seinem Zählerstand entsprechendes Binärwort abgibt,

einem dem Zähler nachgeschalteten Register, das bei Auftreten eines Registerladesignals das Binärwort übernimmt, wobei das Register das digitale Ausgangssignal bereitstellt und  
20

einem mit Zähler und Register verbundenen Zeitgeber, der periodisch das Zählerrücksetzsignal und das Registerladesignal erzeugt.

25

2. Schaltungsanordnung nach Anspruch 1, bei der das Steuersignal für den Integrator ein Integratorrücksetzsignal ist, bei dessen Auftreten der Integrator auf einen Startwert rückgesetzt wird.

30

3. Schaltungsanordnung nach Anspruch 1, bei der das Steuersignal für den Integrator ein Integratorumkehrsignal ist, bei dessen Auftreten der Integrator bis zu einem Startwert zurückintegriert.

35

4. Schaltungsanordnung nach Anspruch 3, bei der der Komparator ein Schmitt-Trigger mit zwei Schwellen ist, wobei die



Schwellen von dem zweiten Eingangssignal abhängen und bei Erreichen der Schwellen die Integrationsrichtung des Integrators umgeschaltet wird.

1/1

FIG 1

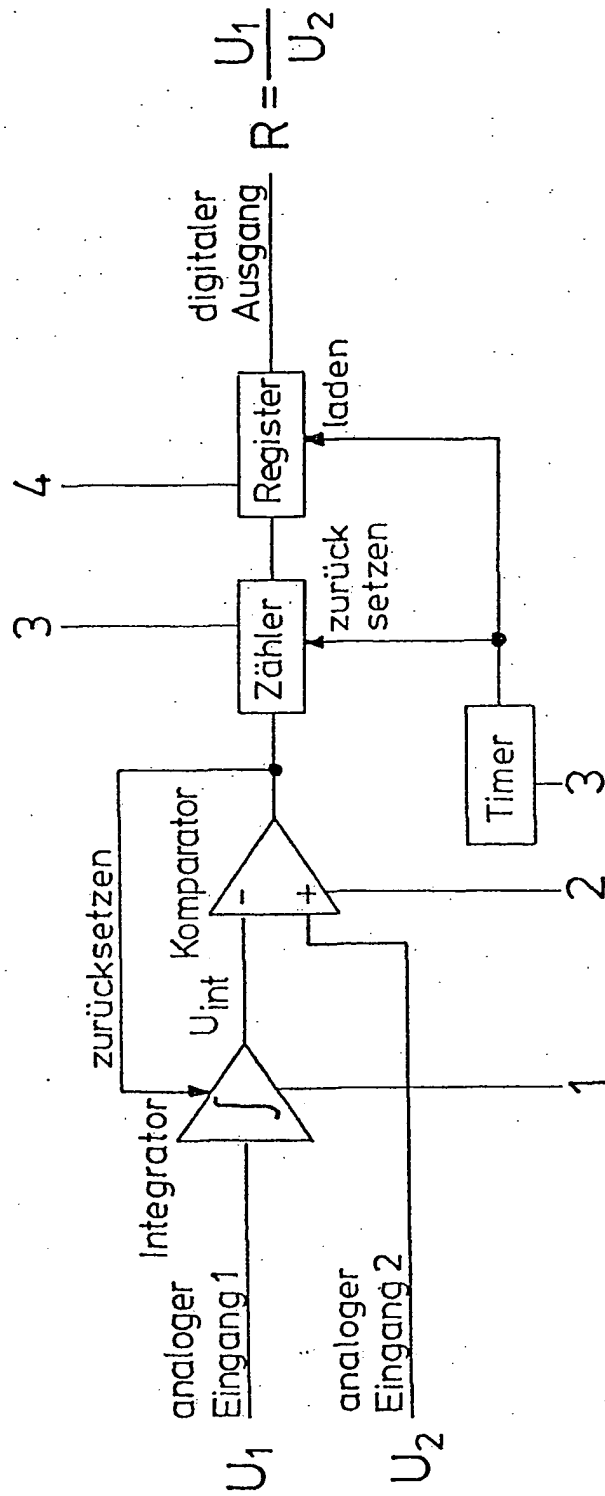
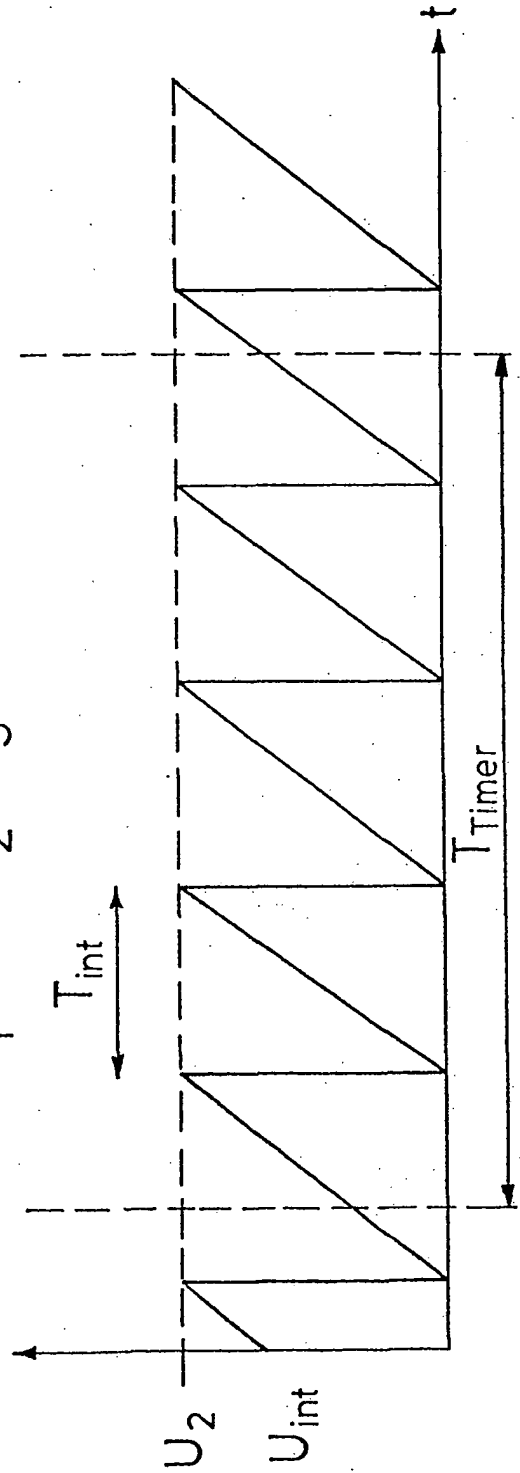


FIG 2



## INTERNATIONAL SEARCH REPORT

onal Application No

PCT/DE 00/03502

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G06J1/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06J G06G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, IBM-TDB

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>JURNAL: "Frequency modulator serves two masters" EDN ELECTRICAL DESIGN NEWS., vol. 15, no. 9, 1 May 1970 (1970-05-01), page 60 XP002170983 CAHNERS PUBLISHING CO. NEWTON, MASSACHUSETTS. 81963 1, US ISSN: 0012-7515 the whole document</p> <p>---</p> <p>-/--</p>	1,2

☒ Further documents are listed in the continuation of box C.☐ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&\* document member of the same patent family

Date of the actual completion of the international search

2 July 2001

Date of mailing of the international search report

23/07/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Ledrut, P

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ESTEBAN ET AL.: "Frequency Voltage Controlled Oscillator. April 1970." IBM TECHNICAL DISCLOSURE BULLETIN, vol. 12, no. 11, 1 April 1970 (1970-04-01), pages 2022-2023, XP002170984 New York, US the whole document ----	1,3
A	DATABASE WPI Section EI, Week 199128 Derwent Publications Ltd., London, GB; Class U21, AN 1991-206356 XP002170985 & SU 1 587 634 A (MALOV V S), 23 August 1990 (1990-08-23) abstract -----	1
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 284 (E-217), 17 December 1983 (1983-12-17) & JP 58 161420 A (NIPPON DENKI KK), 26 September 1983 (1983-09-26) abstract -----	1

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/03502

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
SU 1587634	A	23-08-1990	NONE	
JP 58161420	A	26-09-1983	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 G06J1/00

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06J G06G

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, IBM-TDB

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DURNAL: "Frequency modulator serves two masters" EDN ELECTRICAL DESIGN NEWS., Bd. 15, Nr. 9, 1. Mai 1970 (1970-05-01), Seite 60 XP002170983 CAHNERS PUBLISHING CO. NEWTON, MASSACHUSETTS. 81963 1, US ISSN: 0012-7515 das ganze Dokument --- -/-	1,2



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. Juli 2001

Absenddatum des internationalen Recherchenberichts

23/07/2001

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ledrut, P

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	ESTEBAN ET AL.: "Frequency Voltage Controlled Oscillator. April 1970." IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 12, Nr. 11, 1. April 1970 (1970-04-01), Seiten 2022-2023, XP002170984 New York, US das ganze Dokument	1,3
A	DATABASE WPI Section EI, Week 199128 Derwent Publications Ltd., London, GB; Class U21, AN 1991-206356 XP002170985 & SU 1 587 634 A (MALOV V S), 23. August 1990 (1990-08-23) Zusammenfassung	1
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 284 (E-217), 17. Dezember 1983 (1983-12-17) & JP 58 161420 A (NIPPON DENKI KK), 26. September 1983 (1983-09-26) Zusammenfassung	1

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
SU 1587634 A	23-08-1990	KEINE	
JP 58161420 A	26-09-1983	KEINE	